

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

22.08.00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年10月14日

出 願 番 号
Application Number:

平成11年特許願第292703号

出 願 人
Applicant (s):

ローム株式会社

REC'D 05 OCT 2000

WIPO

PCT

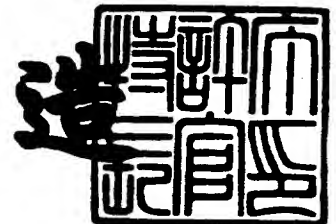
EIKU

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3076013

【書類名】 特許願

【整理番号】 PR9-00417

【提出日】 平成11年10月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/02

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 柴田 和孝

【特許出願人】

 【識別番号】 000116024

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100087701

 【弁理士】

 【氏名又は名称】 稲岡 耕作

【選任した代理人】

 【識別番号】 100075155

 【弁理士】

 【氏名又は名称】 亀井 弘勝

【選任した代理人】

 【識別番号】 100101328

 【弁理士】

 【氏名又は名称】 川崎 実夫

【手数料の表示】

 【予納台帳番号】 011028

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9401527

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

基板と、

この基板の表面に活性表面を対向させたフェースダウン状態で接合された半導体チップと、

前記基板の前記半導体チップが接合された表面から突出させて設けられた突起電極と、

この突起電極の頭部が露出する状態で、この突起電極および前記半導体チップを封止する保護樹脂とを含むことを特徴とする半導体装置。

【請求項 2】

前記基板には、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

基板の表面に活性表面を対向させたフェースダウン状態で、半導体チップを前記基板に接合するチップ接合工程と、

前記基板の表面に、この表面から突出した突起電極を形成する電極形成工程と

前記半導体チップおよび突起電極を、前記突起電極の頭部を露出させた状態で保護樹脂により封止する樹脂封止工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】

前記チップ接合工程では、複数の半導体チップが前記基板に接合され、

前記電極形成工程では、前記複数の半導体チップに対応した複数の突起電極が形成され、

前記製造方法は、さらに、前記基板を予め定める切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程を含むことを特徴とする

請求項 3 記載の半導体装置の製造方法。

【請求項 5】

前記基板に、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成する工程をさらに含むことを特徴とする請求項 3 または 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、三次元実装に有利な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体パッケージの薄型化とその三次元実装とにより、半導体装置の設置スペースの削減を図ることが提案されている。

図 9 には、このような目的のために提案されている半導体装置 70 の構成例を示す断面図である。この半導体装置 70 は、テープ状基板 71 の打ち抜き部に薄い半導体チップ 72 を配置して、その活性表面側（図 9 の上面側）保護樹脂 73 で封止して構成されている。半導体チップ 72 には、シングルポイントボンディングによりインナーリード 74 が接続されていて、外部の実装基板 80 との接続は、基板 71 上でインナーリード 74 に接続されたアウターリード 75 によって行うようになっている。この半導体装置 70 の三次元実装は、アウターリード 75 をそれぞれ実装基板 80 に接続することによって行われる。

【0003】

【発明が解決しようとする課題】

しかし、このような構成では、三次元実装の際に、各半導体装置 70 のアウターリード 75 を個別に実装基板 80 に接続する必要があるから、三次元実装の工程が複雑で、かつ、困難である。

また、アウターリード 75 を外方に引き出す構成であるので、半導体装置 70 全体の専有面積が比較的大きいという問題もある。

【0004】

そこで、この発明の目的は、上述の技術的課題を解決し、三次元実装に有利な半導体装置およびその製造方法を提供することである。

【0005】

【課題を解決するための手段および発明の効果】

上記の目的を達成するための請求項1記載の発明は、基板と、この基板の表面に活性表面を対向させたフェースダウン状態で接合された半導体チップと、前記基板の前記半導体チップが接合された表面から突出させて設けられた突起電極と、この突起電極の頭部が露出する状態で、この突起電極および前記半導体チップを封止する保護樹脂とを含むことを特徴とする半導体装置である。

【0006】

前記突起電極は、半導体チップの周囲（可及的に半導体チップの近傍）に設けられていることが好ましい。

また、前記基板は、テープ状基板等の薄型の基板であることが好ましい。

請求項1の発明によれば、半導体チップと、外部接続用の電極としての突起電極とが基板の同じ側の表面に設けられている。この構成では、請求項2に記載のように、前記基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成しておくことにより、この貫通孔を介して、三次元的に積層された複数の半導体装置相互間の接続を容易に図ることができる。

【0007】

しかも、突起電極を用いていることにより、半導体装置の占有面積を少なくすることができるうえ、三次元実装された半導体装置間の配線長も短くできる。

なお、前記貫通孔は、突起電極の直下の位置に形成されることが好ましい。

請求項3記載の発明は、基板の表面に活性表面を対向させたフェースダウン状態で、半導体チップを前記基板に接合するチップ接合工程と、前記基板の表面に、この表面から突出した突起電極を形成する電極形成工程と、前記半導体チップおよび突起電極を、前記突起電極の頭部を露出させた状態で保護樹脂により封止する樹脂封止工程とを含むことを特徴とする半導体装置の製造方法である。

【0008】

この方法により、請求項1に記載された半導体装置を作製することができる。

請求項4記載の発明は、前記チップ接合工程では、複数の半導体チップが前記基板に接合され、前記電極形成工程では、前記複数の半導体チップに対応した複数の突起電極が形成され、前記製造方法は、さらに、前記基板を予め定める切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程を含むことを特徴とする請求項3記載の半導体装置の製造方法である。

【0009】

この方法により、複数の半導体装置を一括して生産することができる。

なお、この場合に、樹脂封止工程は、複数の半導体チップおよび複数の突起電極を一括して封止するようにして行われることが好ましい。複数の半導体チップを封止する保護樹脂は、一体化されていてもよいし、個別の半導体チップごとに分かれていてもよい。複数の半導体チップを封止する保護樹脂が一体化されている場合には、切り出し工程では、保護樹脂および基板が同時に切断されることが好ましい。したがって、切り出し工程は、樹脂封止工程の後に行われることが好ましい。

【0010】

なお、樹脂封止工程は、突起電極および半導体チップを保護樹脂で封止する工程と、突起電極の頭部を露出させるために保護樹脂の表層部を除去する工程とを含んでいてもよい。

また、前記製造方法には、半導体チップの非活性表面を研磨または研削して半導体チップを薄型化する工程がさらに含まれていることが好ましい。この工程では、保護樹脂が同時に研磨または研削されて、装置全体の薄型化が図られてもよい。

【0011】

さらに、三次元実装のためには、請求項5に記載のように、前記基板に、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成する工程をさらに含むことが好ましい。この場合に、貫通孔は、突起電極の基部の直下に形成することが好ましい。

【0012】

【発明の実施の形態】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る半導体装置の構成を示す斜視図である。この半導体装置10は、ポリイミド基板やガラスエポキシ基板などのテープ状の基板1の表面に、半導体チップCを、その表面（活性表面）を対向させたフェースダウン状態で接合した構造を有している。この実施形態においては、半導体チップCは、平面視において矩形形状に形成されていて、半導体チップCの周囲の領域には、基板1の表面から突出した外部接続電極としての突起電極（この実施形態では柱状の電極）Tが複数個形成されている。

【0013】

基板1の表面において半導体チップCまたは突起電極Tが形成されていない領域は、保護樹脂（たとえばエポキシ樹脂など）5で樹脂封止されており、半導体装置10全体を補強しているとともに、突起電極Tの変形を防止する役割などを担っている。半導体チップCの表面は、基板1に対向しており、かつ、その側面が保護樹脂5で封止されていることにより、外部から保護されている。

【0014】

この実施形態では、保護樹脂5、突起電極Tの頭部および半導体チップCの非活性表面Cbは、面一をなしている。

図2は、上記の半導体装置の組立工程を工程順に示す断面図である。図2(a)は、半導体チップ接合工程を示す。ポリイミド基板などの基板1には、予め配線パターンが、たとえば銅の電解めっきなどによって形成されている。この配線パターン上には、複数の突起電極Tが形成される（電極形成工程）。この突起電極Tが形成された基板1の表面1aには、複数の半導体チップCがフェースダウンで接合される。すなわち、半導体チップCは、トランジスタや抵抗などの素子が形成された活性表層領域側の表面である活性表面Caを基板1に対向させた状態で、その表面に形成されたバンプBを介して、基板1に接合され、この基板1に形成された配線パターンに電氣的に接続される。これにより、半導体チップCは、基板1上の配線パターンを介して突起電極Tと電氣的に接続されることになる。

【0015】

基板 1 に接合される半導体チップ C は、比較的大きな厚み、たとえば、 $300 \sim 700 \mu\text{m}$ 程度の厚みを有している。このような半導体チップ C は、 $300 \sim 700 \mu\text{m}$ の厚い半導体ウエハ（図示せず）をダイシングソーで分割することによって得られる。このように十分に厚いウエハは、ダイシング工程において割れや欠けが生じることがなく、かつ、このダイシング工程を経て得られる厚い半導体チップ C は、その後に基板 1 に接合するためのハンドリング時においても割れや欠けが生じるおそれがない。

【0016】

半導体チップ C が基板 1 に接合された後には、必要に応じて、活性表面 C a と基板 1 との間の空隙に液状樹脂（アンダーフィル）が注入される。

図 2 (b) は、半導体チップ接合工程に続いて行われる樹脂封止工程を示す。この樹脂封止工程では、基板 1 に接合された複数の半導体チップ C およびその周囲に配置された複数の突起電極 T を一括して収容するキャビティが形成された金型（図示せず）が用いられ、基板 1 上の複数の半導体チップ C および突起電極 T が保護樹脂 5 によって一括して封止される（樹脂封止工程）。これにより、各半導体チップ C の側壁 12 と、活性表面 C a とは反対側の非活性表面 C b とが保護樹脂 5 で覆われ、突起電極 T はその全体が保護樹脂 5 中に埋没する。また、活性表面 C a と基板 1 との間の空隙の側方が、保護樹脂 5 で封止され、こうして活性表面 C a が保護される。

【0017】

なお、この樹脂封止工程では、突起電極 T の頭部および／または半導体チップ C の裏面（非活性表面）C b が保護樹脂 5 から露出するようにされてもよい。

図 2 (c) は、樹脂封止工程に続いて、保護樹脂 5 の硬化後に行われる研削工程を示す。研削工程では、研削目標厚 T_0 まで、グラインダーを用いて研削が行われる。すなわち、保護樹脂 5 が研削され、半導体チップ C の非活性表面 C b が露出させられる。その後は、保護樹脂 5 および半導体チップ C の非活性表面 C b 側の研削が同時に進行し、研削目標厚 T_0 まで研削される。この研削目標厚 T_0 は、たとえば、研削後の半導体チップ C の厚み t が、 $100 \sim 200 \mu\text{m}$ 程度となるように設定される。

【0018】

続いて、図2(d)に示すように、たとえば、ダイシングソー15を用いて、半導体チップC同士の間を設定された切断ラインDに沿って、保護樹脂5および基板1が切断され、図2(e)に示すように、半導体装置10の個片が切り出される。この切り出し工程によって切り出された半導体装置10は、半導体チップCの側壁が全周にわたって保護樹脂5で覆われている。そして、この保護樹脂5の上面5aと研削後の非活性表面Cbとは面一になっており、半導体チップCの角部は保護樹脂5により覆われていて、いずれの位置においても保護されている。

【0019】

こうして切り出された半導体装置10の個片には、必要に応じて、図2(e)に示すように、突起電極Tの基部の直下において、基板1に貫通孔7が形成される。この貫通孔7は、基板1の裏側から、貫通孔7を介して突起電極Tへの電気接続を図るためのものである。

そこで、さらに、必要に応じて、図2(f)に示すように、貫通孔7には、たとえば、半田ボール8が印刷により転写されて形成される。この半田ボール8は、必要に応じてリフローを施すことにより、図3に示すように、貫通孔7を通して、基板1の表面1a側に形成された配線パターン13に接続される。この配線パターン13には、半導体チップCがバンプBを介して接続されており、かつ、別の位置で突起電極Tが接合されている。

【0020】

図4は、上述のような半導体装置10の三次元実装を説明するための斜視図である。実装基板50の表面には、銅などによる印刷配線51が形成されており、半導体装置10の実装領域52が設定されている。この実装領域52上に、複数の半導体装置10が積み重ねられて実装される。ただし、複数の半導体装置10は、同じ種類の半導体チップCを内蔵したものであってもよく、また、異なる種類の半導体チップCを内蔵したものであってもよい。

【0021】

各層の半導体装置10の相互間の接続は、各層の半導体装置10の突起電極T同士が、基板1の貫通孔7(図2および図3参照)を介して接続されることによ

り達成されている。そして、各層の半導体装置 10 の実装基板 50 上の回路への電気接続は、最下層（実装基板 50 の最も近い層）の半導体装置 10 の突起電極 T が、実装基板 50 の表面の印刷配線 51 に貫通孔 7 を介して接続されることにより達成される。各層の半導体装置 10 間の接合および最下層の半導体装置 10 の印刷配線 51 に対する接合は、半田ボール 8 をリフローにより溶融させることにより達成される。

【0022】

以上のようにこの実施形態によれば、基板 1 の同じ表面側に半導体チップ C および突起電極 T を設け、これらを樹脂封止することにより、薄型の半導体パッケージを実現している。したがって、パッケージの外方にリードを引き出す必要がないので、実装基板 50 上での占有面積が少なくなる。また、半導体装置 10 の三次元実装は、基板 1 に貫通孔 7 を設けることによって達成されており、上述の従来技術のように、各層の半導体装置のリードを個別に実装基板に接合する必要がない。したがって、半導体装置 10 の三次元実装を極めて簡単に行うことができる。

【0023】

また、突起電極 T は、その周囲が保護樹脂 5（絶縁物）に包囲されているので、リーク電流などが生じることがなく電氣的に安定であり、かつ、変形や破損のおそれがなく機械的にも安定である。

さらには、突起電極 T を用いていることにより、上下の半導体装置 10 の各半導体チップ C の間の配線距離が短く、電氣的動作を高速化することができるという利点もある。

【0024】

なお、上下に積層される複数の半導体装置 10 のうち、いずれか 1 つの特定の半導体装置 10 の特定の突起電極 T のみを独立して実装基板 50 に接続したい場合には、図 5 に示す構成を採用すればよい。すなわち、当該特定の半導体装置 10 よりも下層の半導体装置 10 の基板 1 には、当該特定の突起電極 T に対応する位置に、独立した（すなわち、当該下層の半導体装置 10 の半導体チップ C とは電氣的に接続されていない）中継用の突起電極 Tc を設ける。これにより、この

中継用の突起電極 Tc を介して、上記特定の半導体装置の特定の突起電極 T を、他の半導体装置 10 とは独立した状態で、実装基板 50 に接続することができる。

【0025】

以上、この発明の一実施形態について説明したが、この発明は、他の形態で実施することもできる。

たとえば、上述の実施形態では、同じ大きさの半導体チップ C を有する複数の半導体装置 10 を積層して三次元実装する例を説明したが、図 6 に示すように、異なる大きさの半導体チップ C を内蔵した複数の半導体装置 100 についても、突起電極 T の配置を合わせておくことによって、上述の実施形態の場合と同様な三次元実装が可能である。

【0026】

また、上述の実施形態では、半導体チップ C を上方に向けたフェースアップ状態で半導体装置 10、100 を実装基板 50 上に実装する例について説明したが、半導体チップ C を実装基板 50 に対向させたフェースダウン状態で半導体装置 10、100 の実装を行ってもよい。

さらに、上述の実施形態では、基板 1 の貫通孔 7 に半田ボール 8 を設けるようにしているが、半田ボール 8 を設ける代わりに、貫通孔 7 にクリーム半田を配置し、リフロー法により、実装基板 50 または他の層の半導体装置 10 との接続を行うようにしてもよい。

【0027】

また、上述の実施形態では、保護樹脂 5、突起電極 T および半導体チップ C の非活性表面 Cb が面一になるようにしているが、図 7 に示すように、突起電極 T の頭部が保護樹脂 5 の表面から突出していてもよいし、図 8 に示すように、保護樹脂 5 の表面から半導体チップ C の非活性表面 Cb 側が突出していてもよい。図 7 または図 8 の構造は、たとえば、保護樹脂 5 を十分に薄く形成することにより作製可能である。この場合に、突起電極 T の頭部に保護樹脂 5 が付着するおそれがあれば、グラインダーなどによる研磨または研削やエッチングによって、突起電極 T の頭部に付着した保護樹脂を除去すればよい。

【0028】

また、上記の実施形態では、基板1上に1つの半導体チップCが接合されて1つの半導体装置10、100が構成される例について説明したが、基板1上に2つ以上の半導体チップCを共通に接合し、2つ以上の半導体チップCを内蔵した半導体装置を構成してもよい。

さらに、上述の実施形態では、突起電極Tは、柱状のものとしたが、バンプ形状のものであっても構わない。

【0029】

また、上述の実施形態においては、製造工程において、複数の半導体チップCを一括して樹脂封止することとしているが、個々の半導体チップCまたは2～3個ずつ（すなわち、所定の複数個）の半導体チップCごとに、樹脂封止を行ってもよい。

さらに、上述の各実施形態では、研削工程では、グラインダーによる機械的研削が行われることとしたが、この研削工程は、エッチング液を用いた化学的研削工程であってもよく、また、CMP（化学的機械的研磨）法のような化学的機械的研磨工程であってもよい。ただし、半導体チップの非活性表面側の研削または研磨は、研削精度よりも研削速度の方が重視されるから、上述の3つの方法のなかでは、グラインダーによる機械的研削方法が、生産効率の向上の観点からは、もっとも好ましい。

【0030】

グラインダーによる機械的研削が行われた樹脂および半導体チップの非活性表面は、連続した削り跡を有することになるだろうが、この削り跡は、必要に応じて、エッチングなどの化学的方法によって消すことができる。

また、上述の実施形態では、半導体装置の個片を切り出すための切り出し工程に、ダイシングソーを用いることとしたが、たとえば、レーザビームによる切断などの他の切断手法が採用されてもよい。

【0031】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図 1】

この発明の一実施形態に係る半導体装置の構成を示す斜視図である。

【図 2】

上記半導体装置の製造方法を工程順に示す断面図である。

【図 3】

突起電極の近傍の構成を拡大して示す断面図である。

【図 4】

上記半導体装置の三次元実装を説明するための斜視図である。

【図 5】

特定の半導体装置の特定の突起電極を他の半導体装置から独立して実装基板に接続するための構成を示す斜視図である。

【図 6】

異なるサイズの半導体チップを内蔵した半導体装置の三次元実装例を示す断面図である。

【図 7】

この発明の他の実施形態に係る半導体装置の構成を示す断面図である。

【図 8】

この発明のさらに他の実施形態に係る半導体装置の構成を示す断面図である。

【図 9】

先行技術による薄型半導体装置の三次元実装例を示す断面図である。

【符号の説明】

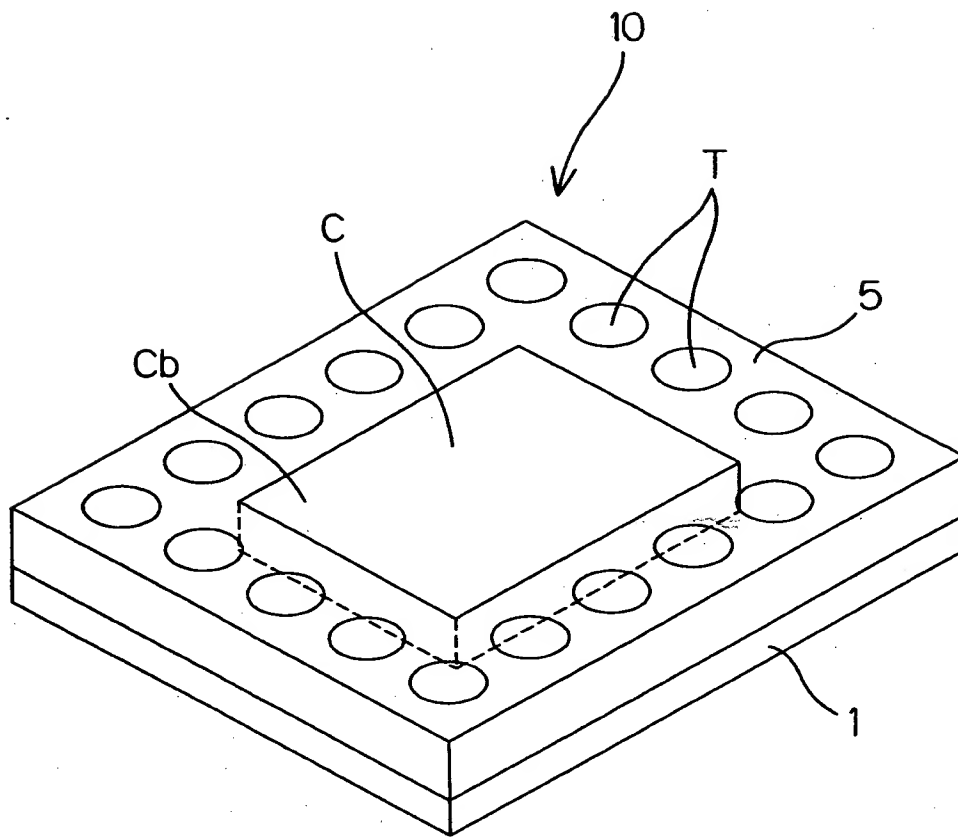
- | | |
|-------|--------|
| 1 | 基板 |
| 5 | 保護樹脂 |
| 1 0 | 半導体装置 |
| 5 0 | 実装基板 |
| 1 0 0 | 半導体装置 |
| B | バンプ |
| C | 半導体チップ |

C a	活性表面
C b	非活性表面
T o	研削目標厚
T	突起電極
T c	中継用の突起電極

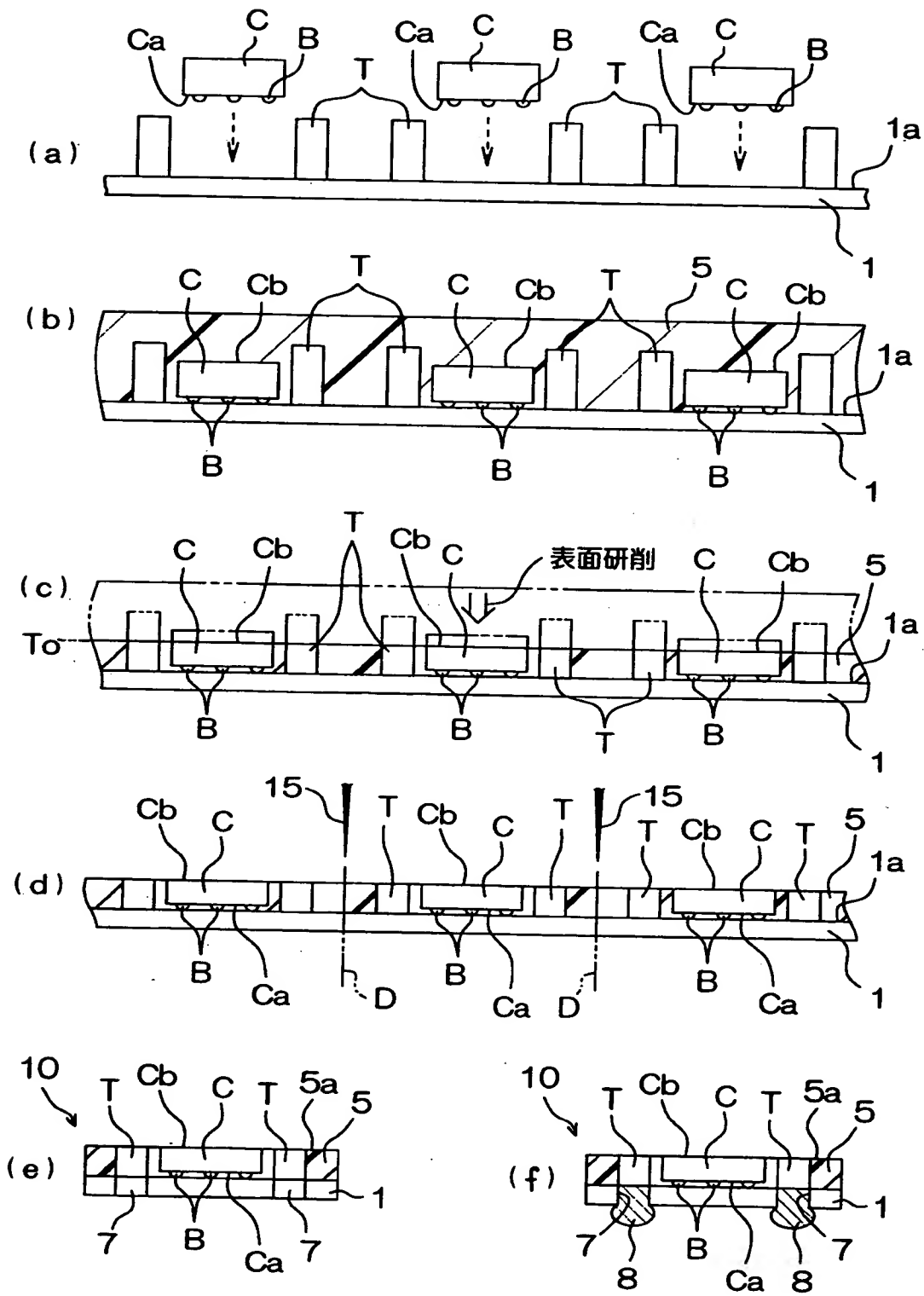
【書類名】

図面

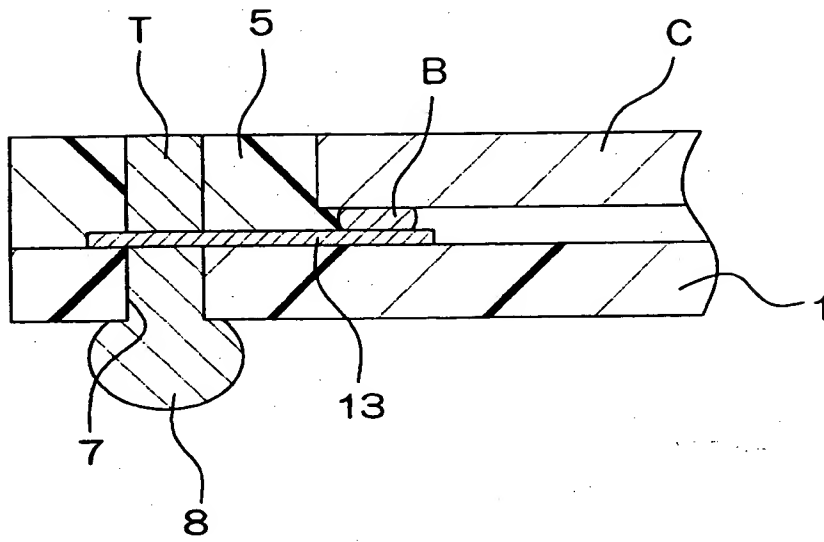
【図 1】



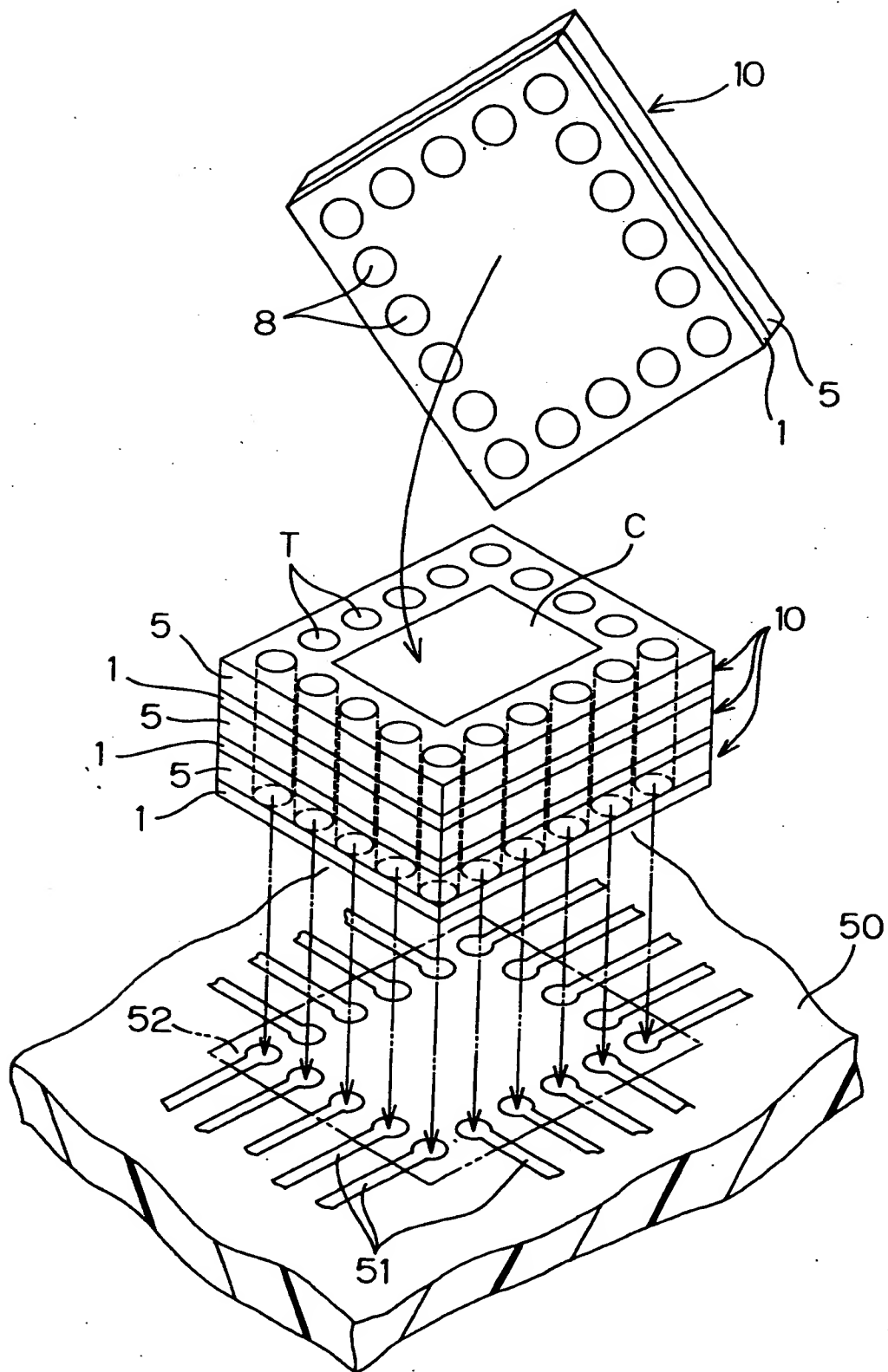
【図 2】



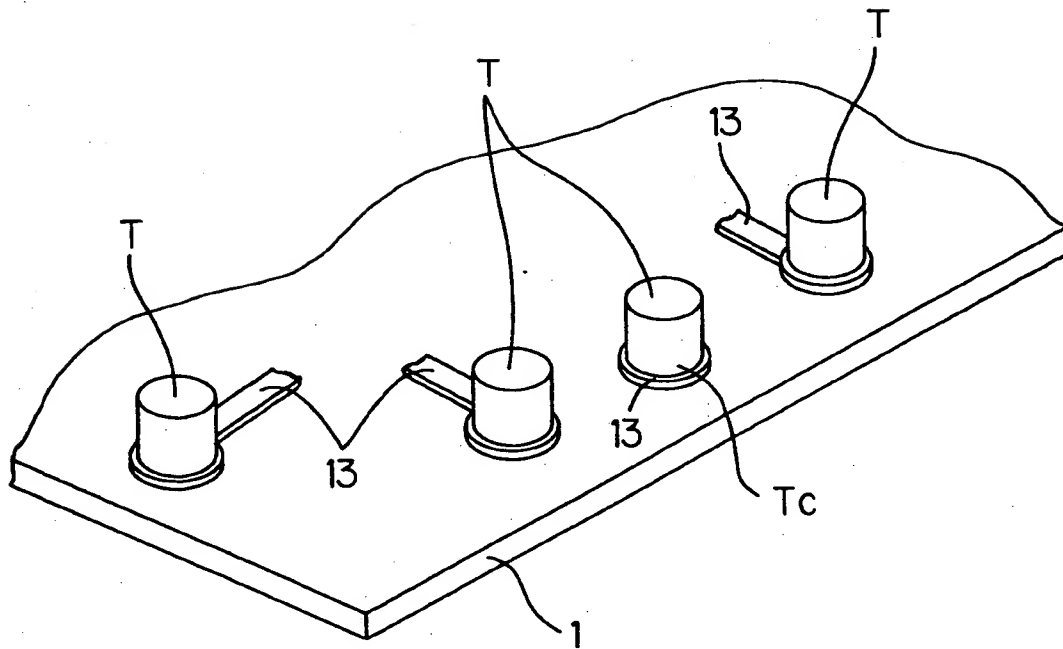
【図3】



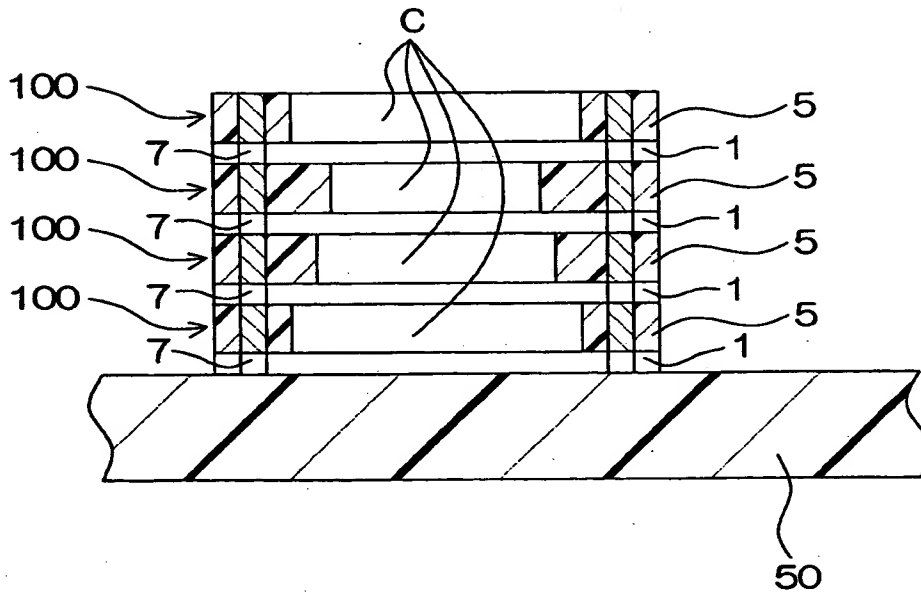
【図4】



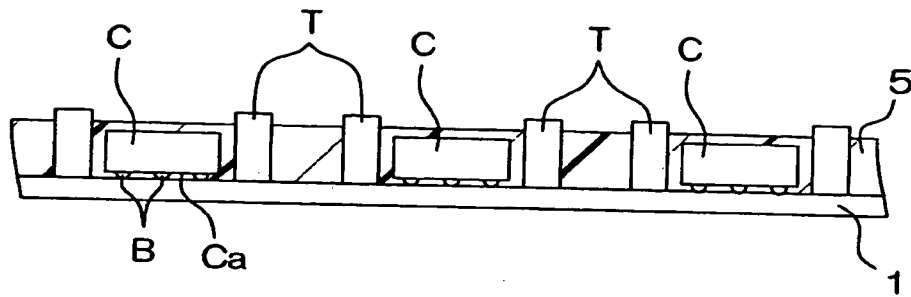
【図5】



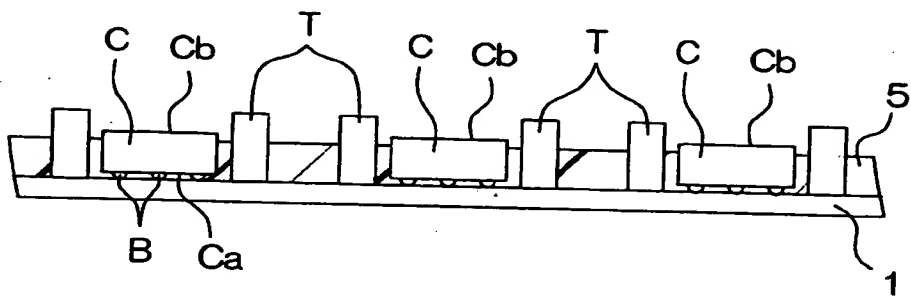
【図6】



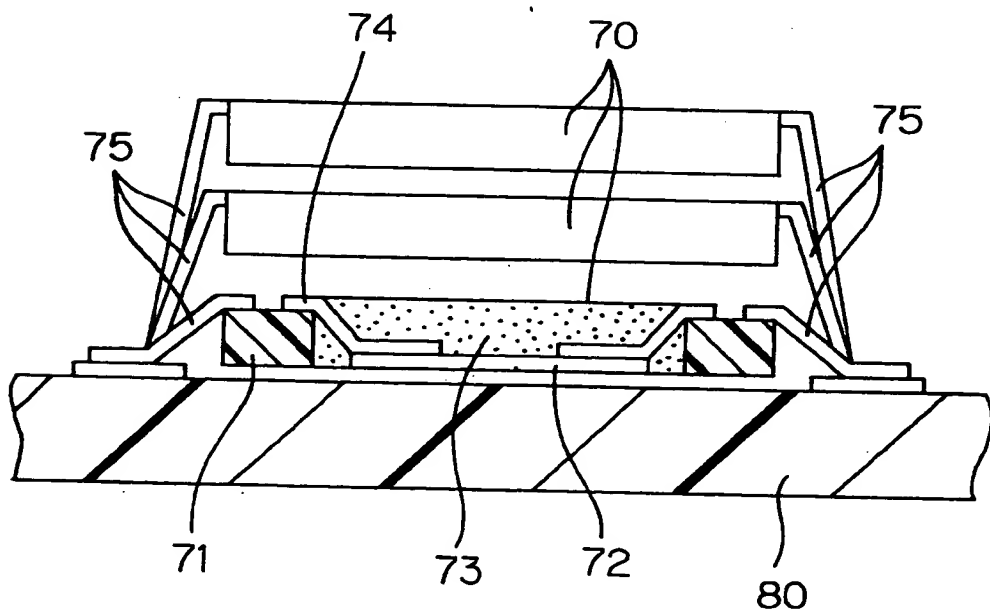
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 三次元実装に有利な半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 1 0 は、基板 1 と、この基板 1 にフェースダウン状態で接合された半導体チップ C と、この半導体チップ C の周囲において基板 1 から突出させて設けた突起電極 T と、半導体チップ C および突起電極 T を封止する保護樹脂 5 とを備えている。突起電極 T の基部の直下には、基板 1 に貫通孔が形成されている。この貫通孔を介して上下の半導体装置 1 0 の相互接続が行われ、最下層の半導体装置 1 0 の実装基板 5 0 に対する接続が行われる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号

[000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地
氏 名 ローム株式会社

